

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-132902

(43)Date of publication of application : 22.05.1998

(51)Int.Cl.

G01R 31/28
H01L 27/04
H01L 21/822

(21)Application number : 09-072894

(71)Applicant : INTERNATL BUSINESS MACH CORP <IBM>

(22)Date of filing : 26.03.1997

(72)Inventor : DOKTOR ROLAND FLECH
BERND GARUBEN
DOKTOR HUBERT HARLER
ERICH KRINK
DIETER WENDEL

(30)Priority

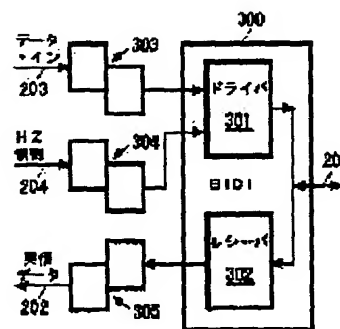
Priority number : 96 96105256 Priority date : 02.04.1996 Priority country : EP

(54) TEST METHOD OF INTEGRATED CIRCUIT HAVING A NUMBER OF I/O SIGNALS

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a new test method for IC in which the number of I/O signals exceeds the present number by far by dividing a number of I/O signal lines into a plurality of sub-groups, and connecting each sub-group to one of I/O signal lines of a chip module to analyze an IC.

SOLUTION: I/O signal lines of an IC are divided into a plurality of sub-groups. Each I/O cell within each sub-group is connected to one I/O signal line of a chip module by dotting. A test pattern is stored in latches 303-305 of the I/O cell. An external signal is supplied to the output line 201 of the I/O cell. Only the sub set of I/O cells in which the test results are not interfered within each sub-group is biased, and the residual I/O cells are extinguished. After the test cycle of the I/O cells, the data received by the test latches 303-305 are transferred to the outside. The signal generated in the output line 201 by the I/O cell is received and analyzed. To the I/O cells, this analyzing step is repeated.



LEGAL STATUS

[Date of request for examination]

11.12.1998

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]	3072718
[Date of registration]	02.06.2000
[Number of appeal against examiner's decision of rejection]	
[Date of requesting appeal against examiner's decision of rejection]	
[Date of extinction of right]	

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-132902

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.⁶
G 0 1 R 31/28
H 0 1 L 27/04
21/822

識別記号

F I
G 0 1 R 31/28
H 0 1 L 27/04

V
T

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号 特願平9-72894
(22) 出願日 平成9年(1997) 3月26日
(31) 優先権主張番号 9 6 1 0 5 2 5 6 . 0
(32) 優先日 1996年4月2日
(33) 優先権主張国 ドイツ (D E)

(71) 出願人 390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSIN
ESS MASCHINES CORPO
RATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)
(72) 発明者 ドクトール・ロラント・フレヒ
ドイツ連邦共和国 デー-73760 オスト
フィルデルン リンデンシュトラッセ 56
(74) 代理人 弁理士 合田 潔 (外2名)

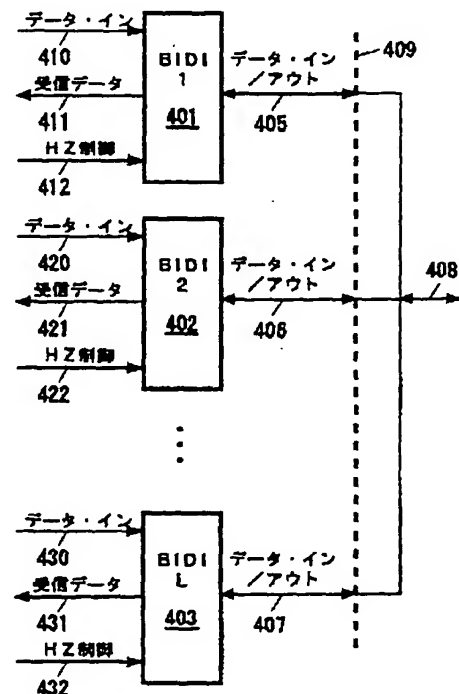
最終頁に続く

(54) 【発明の名称】 多数の I / O 信号を有する集積回路のテスト方法

(57) 【要約】

【課題】 現行の SCM のテスト環境がサポートしている I / O 信号の数を遥かに超える I / O 信号のカウンタを有する IC に対する新しい種類のテストのためのアプローチの提供。

【解決手段】 提案したテスト方法は、1つの接続部によってチップ・モジュールと外部テスト環境に配線したサブグループ内のテストすべきチップの幾つかの I / O 信号をグループ化し、従ってこのチップ・モジュールの I / O 接続の数全体を大幅に削減するという新しいテストに対するアプローチを提供する。第2に、このテスト方法は付勢と消勢に対するアプローチを教示し、これによって各サブグループ内の I / O セルの動作が制御されない状態で干渉するのを防止し、従って、その全ての I / O セルを含むチップの完全なテストが可能になる。



(2)

【特許請求の範囲】

【請求項1】テストすべきM本の信号線をサポートするチップ・モジュールに埋め込んだN本のI/O信号線を有する少なくとも1つの集積回路をテストするテスト方法であって、上記集積回路は、

テスト・ラッチと、

上記テスト・ラッチを介して上記集積回路の内部構造とつながっているN個のI/Oセルとを有し、

上記テスト方法は、

上記N本のI/O信号線をM個までのサブグループにグループ化するステップと、

上記サブグループの各々を上記チップ・モジュールの上記M本のI/O信号線の1つと接続するステップと、

上記集積回路を分析するステップとを有し、

上記分析するステップは、

テスト・パターンを上記テスト・ラッチに格納するか、またはテスト信号を1本以上のI/O信号線に供給する格納サブステップと、

上記サブグループの各々の中でI/Oセルの1つのサブセットを付勢し、残りのI/Oセルを消勢する付勢-消勢サブステップと、

付勢したI/Oセルを介して上記テスト・パターンを伝達した後、上記チップ・モジュールの上記I/O信号線に受け取った信号を予期した信号と比較するか、または上記テスト・ラッチ内の結果のテスト・パターンを予期した結果テスト・パターンと比較する比較サブステップ、

とを含むことを特徴とするテスト方法。

【請求項2】上記I/Oセルの全てをカバーするように変更可能なテスト・パターンによって上記分析するステップを反復することを特徴とする請求項1記載のテスト方法。

【請求項3】上記付勢-消勢サブステップは、出力挙動を分析すべきサブグループの各々の中で1つのI/Oセルだけを付勢し、残りのI/Oセルを消勢することを特徴とする請求項1または2記載のテスト方法。

【請求項4】上記付勢-消勢サブステップは、入力挙動を分析すべきサブグループの各々の中で上記I/Oセルの任意のサブセットを付勢し、残りのI/Oセルを消勢することを特徴とする請求項1、2または3記載のテスト方法。

【請求項5】上記I/Oセルの付勢及び消勢が上記テスト・ラッチによって制御されることを特徴とする請求項1乃至4のいずれかに記載のテスト方法。

【請求項6】上記I/Oセルの少なくとも1つはその付勢-消勢を高インピーダンス信号によって制御することのできる双方向I/Oセルであることを特徴とする請求項1乃至5のいずれかに記載のテスト方法。

【請求項7】上記I/Oセルの少なくとも1つはその付勢-消勢をドライバ禁止信号によって制御することので

きる双方向I/Oセルであり、

上記サブグループの各々において上記ドライバ禁止信号によって制御可能なI/Oセルは多くても1つであることを特徴とする請求項1乃至5のいずれかに記載のテスト方法。

【請求項8】N本の集積回路I/O信号線を有する少なくとも1つの集積回路(607)を保持するチップ・モジュール(604)であって、

上記集積回路を当該チップ・モジュールに接続するのに使用するP本(PはN以上)のチップ・モジュール内部I/O信号線を有し内部チップ・モジュール面(605)と、

当該チップ・モジュール及び上記集積回路を外部環境に接続するのに使用するM本のチップ・モジュール外部I/O信号線を有する外部チップ・モジュール面(606)と、

上記外部チップ・モジュール面及び上記内部チップ・モジュール面の間に設けた接続であって、上記M本のチップ・モジュール外部I/O信号線の各々を上記P本のチップ・モジュール内部I/O信号線の内の1本または複数本に接続する配線と、

上記N本のI/O信号線と上記P本のチップ・モジュール内部I/O信号線のサブセット間の接続部であって、上記N本のI/O信号線をサブグループにグループ化し、上記サブグループの各々は同一のチップ・モジュール外部I/O信号線と接続された集積回路I/O信号線によって構成する接続部と、

を有することを特徴とするチップ・モジュール(604)。

【請求項9】上記内部チップ・モジュール面(605)上に上記P本のチップ・モジュール内部I/O信号線を配設することによって、多数の異なった種類の集積回路に対する接続をサポートすることを特徴とする請求項8記載のチップ・モジュール。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は現行の最新技術によるテスト環境とテスト・ヘッドのサポートしているよりもより多くの数の入力/出力(I/O)セルを有する集積回路(IC)のテスト方法に関する。

【0002】

【従来の技術】LSI、VLSI、ULSIのようなあらゆる集積レベルの集積回路(IC)のテスト用に、非常に多くの異なったテスト方法が技術上知られている。この技術分野の参考文献の長いリストを示す場合、V.D. Agrawal, S.C.Sethiによる“Test Generation for VLSI Chips”, IEEE Computer Society Press 1988 だけは言及しなければならないが、これには多くの重要な刊行物に対する参照が含まれている。

【0003】テスト性に対する設計と呼ぶテスト方法の

(3)

特定のクラスは、既に設計段階にあるICの可制御性と可観測性を目標とするものである。使用可能な方法として、下記のものをあげることができる。

■テスト性の分析

■区分化

■組込み自己テスト

■走査設計

【0004】これらの方法を概観するため、例えば、T. W. Williams, K.E. Parker, "Design for Testability - A survey", Proc. of the IEEE, Vol. 71, No 1, 1983, pp 98-112を参照のこと。走査の設計による方法では、アプローチの範疇を更に下記のように区別することができる。■走査経路の技術とこの技術の境界走査アーキテクチャへの拡張境界走査方法は、Joint Test Action Group (JTAG)によるIEEE規格STD 1149.1として規格化され、IEEEから書類として公に入手可能である。更に、境界走査によるアプローチに対する徹底した最新の考察は、C.M. Moore, R.E. Tullossによる"The Test Access Port and Boundary-Scan Architecture", IEEE Computer Society Press 1992によって提供されている。

■レベル・センシティブ走査設計 (LSSD)

レベル・センシティブ走査設計 (LSSD) は、例えば、E.B. Eichelberger による"A Logic Design Structure for LSI Testability", Proceedings of the Design Automation Conference No. 14, 20-22, June 1977, New Orleans, Louisianaで説明されている。またこの技術に基づく電子構造のテストに関する特許と刊行物の総合リストについては、米国特許第4590078号、米国特許第4428060号及びE.J. McCluskeyによる"A Survey of Design for Testability Techniques", VLSI Design, December 1984, pp 38/61を参照のこと。

2, June 1977, New Orleans, Louisianaで説明されている。またこの技術に基づく電子構造のテストに関する特許と刊行物の総合リストについては、米国特許第4590078号、米国特許第4428060号及びE.J. McCluskeyによる"A Survey of Design for Testability Techniques", VLSI Design, December 1984, pp 38/61を参照のこと。

【0005】これらのアプローチの全ては、単独または他の技術と組み合わせて使用することができる。これらの走査設計によるアプローチの全てに共通の要旨は、ICの内部の複数の可制御/可観測点を使用することである。可制御性は、シフト・レジスタ・ラッチ (SRL) によって構成した点にデータを直列にシフトさせることによって与えられる。次に、テストを実行する。SRLに格納したデータは、その後これを観測するためにシフトさせて戻す。従って、ICの制御と観測は、パッケージ内のピンの数によって左右されない。更に、ラッチ自身が内部回路の一部であるため、これらを使用して順序回路の帰還経路をブレイクすることができ、これによってSRLの間の組み合わせ回路のテストを自動的に行うことができる。

■走査/セット技術

■ランダム・アクセス・アプローチ

【0006】代表的な走査設計では、シフト・レジスタは設計上の機能のために要求される特定の点に位置しているが、これらはテスト目的のために走査チェーンの形で連結される。この走査チェーンによって、テストの用途に使用した場合レジスタ内にあらゆるテスト状態を実現することができる。次に、コンピュータでテスト・パターンを発生する。発生したテスト・パターンを次にSRLにシフトし、テスト・ベクトル (デジタル・データの選択した語またはグループ) をチップの一次入力またはピンに加え、テストを行うためにシステム・クロックを加え、一次出力ピンを予期したベクトル出力と比較し、データをSRLからスキャンアウトしこれを既知の良好なテスト・ベクトルと比較する。このテストを行う場合、SRLへのシフト、テスト・ベクトルの適用及び結果をシフトによって戻すために多くのテスト・ベクトルが通常必要となる。

【0007】【発明が解決しようとする課題】現行のテストのためのアプローチでは、幾つかの困難が発生する。上述したアーキテクチャによるテストのためのアプローチでは、考えられる全ての種類の欠陥をテストすることができない。ICは極めて多数の入出力 (I/O) セルを有し、これらはまたドライバとレシーバのロジックを有する双方向型である場合がある。上述したテスト手順は、スタック欠陥、遅延欠陥、浮遊ライン欠陥、橋絡欠陥、短絡、開放漏れ電流、インピーダンス等のようなICの可能な欠陥の完全なリストを検出するための完全なAC/DC及びパラメータ・テスト・スペクトルのテストをサポートしていない。

【0008】

【0008】現行のテストのためのアプローチの他の問題は、ICのI/O信号の数と、全ての種類の欠陥に関して分析しなければならない対応するI/Oセルの数が増加することによって発生する。I/Oセルの数が増加した原因の1つとして集積度の向上を挙げることができる。例えば、集積度のレベルがLSI、VLSIからULSIに移行することによって、I/Oセルの数は、優に1200を超える。更に、技術はマルチ・チップ・モジュール (MCM) のアプローチに移行している。このアプローチによれば恐らく中位の数のI/Oセルを有するMCMが個々のチップから組み立てられている。これらのチップはMCM内で使用するように設計されているので、これらのチップは膨大な数のI/O信号カウントを利用するものであり、これにはMCM内に幅の広いデータ・バスが必要である。従って、MCMを利用するように設計された将来のULSIチップは、シングル・チップ・モジュール (SCM) の用途のために設計したチップよりも遥かに多い数のI/O信号を有するようになる。

【0009】MCM環境またはその他の環境でこれらのULSIチップを組み立てる前にこれらのチップは全

(4)

ての種類の欠陥に関してテストしなければならない。現在使用可能な最新のテスト環境は、標準のSCMをテストするように設計されている。従って、標準のSCMは、SCM内に埋め込まれ、400個の範囲のI/OセルのI/O信号カウントを有するチップのテストに限られている。これらのULSIチップのテストを可能にするためには、多数のI/O信号をサポートする特殊目的SCMを設計し、テストの目的のためにこの新しいSCMにULSIチップを埋め込まなければならない。I/O信号の多さに関係する機械的及び電子的なハードルに起因して、多くの困難と障害が予測される。また、これらの新しいSCMは特定のチップ・ファミリーのテストのみをサポートすることが予測され、一般的な問題に対する解決策を提供するものではない。更に悪いことには、集積密度の向上による技術発展の過程で、1チップのI/Oセル数の増加の割合は、巨視的及び機械的制約によって制限されるSCMベースのテスト技術の進歩よりも速い。

【0010】その結果、I/O信号数の増加に起因して現行のアプローチに基づくULSIチップのテスト及びテスト環境は益々高価なものになっている。

【0011】ICのテストに関連する本発明の目的は、現行のSCMテスト環境がサポートしているI/O信号数を遥かに超えるI/O信号カウントを有するICに対して新しい種類のテスト・アプローチを提供することである。本発明は、そのようなICをテストするために特殊目的SCMを構築する必要性を無くすることに役立つものである。

【0012】

【課題を解決するための手段】本発明のテスト方法は、M本の信号線をサポートするチップ・モジュール（例えば、SCM）内に埋め込んだ多数（N本）の入出力（I/O）信号線を有する1つ以上の集積回路（IC）のテストを可能にするものである。特に、チップ・モジュールの信号線の数MがこのICと共にテストすべきI/Oセルの数Nよりも小さい場合には、このテスト方法を適用することができる。テスト目的のため、上記ICは、可制御性及び可観測性のテスト・ラッチを有しているものと仮定する。N個のI/Oセルは上記テスト・ラッチを介して上記ICの内部構造とつながっている。上記テスト方法はテスト・ラッチと、上記テスト・ラッチを介して上記集積回路の内部構造とつながっているN個のI/Oセルとを有し、上記テスト方法は、上記N本のI/O信号線をM個までのサブグループにグループ化するステップと、上記サブグループの各々を上記チップ・モジュールの上記M本のI/O信号線の1つと接続するステップと、上記集積回路を分析するステップとを有し、上記分析するステップは、テスト・パターンを上記テスト・ラッチに格納するか、またはテスト信号を1本以上のI/O信号線に供給する格納サブステップと、上記サブ

グループの各々の中でI/Oセルの1つのサブセットを付勢し、残りのI/Oセルを消勢する付勢／消勢サブステップと、付勢したI/Oセルを介して上記テスト・パターンを伝達した後、上記チップ・モジュールの上記I/O信号線に受け取った信号を予期した信号と比較するか、または上記テスト・ラッチ内の結果のテスト・パターンを予期した結果テスト・パターンと比較する比較サブステップとを含む。

【0013】1つのサブグループの全てのI/Oセルはドットイングされ、従ってテスト環境でテスト信号を転送するために1本のI/O信号線を必要とする。必要なI/O信号線の数大幅に削減するのは、このコンセプトである。別個の信号線はサブグループのみについて必要となり、1つのI/Oセルについて1本の信号線を使用するというテスト上の要求は今や陳腐なものとなる。従って、サブグループが大きい（I/Oセルの数が多い）ほどテスト環境でI/O信号を交換するために必要な信号線数は少なくなる。本発明の他の利点は、付勢／消勢サブステップの教示によるものである。これによって、各時間に於いて現行のテスト活動に参加するI/Oセルを選択的に制御することができる。従って、この広範な制御能力のため、全てのサブグループを並列にテストして分析することができ、またはこれらを直列にテストすることができる。更に他の有利な特徴として、本発明によってピンとテスト・ラッチの間の回路だけではなくまた完全なICのテストも可能になる。

【0014】全ての可能なテスト・パターンをテスト・ラッチ及びI/O信号線に対して順次に加えることによって、本発明の他の利点が達成され、このテスト方法はI/Oセルを有する完全なICをこれが機能上の挙動を完全に果たしている状態でテストすることができるものである。また、各サブグループ内でテスト目的のために任意のI/Oセルのサブセットを選択的に付勢または消勢することが可能である。従って、全てのI/OセルとIC全体の完全なテストを行うことができる。

【0015】I/Oセルに対してテスト入力を行うためだけでなく、I/Oセルを付勢／消勢するためにもテスト・ラッチ内に格納したテスト・パターンを使用することによって、テスト手順が非常に単純化する。第1に、新しい物理的特徴を導入することを必要とせずに入手可能な手段を使用することができる。第2に、格納サブステップと付勢／消勢サブステップを結合することができるので、このテスト方法を単純化することができる。

【0016】走査設計アーキテクチャのような既存の技術をI/Oセルの付勢／消勢という新しい目的のために使用することができる。いずれのアプローチも非常に広範なレベルでこの種の制御を行うことができ、各サブグループ内の各I/Oセルを選択的に付勢／消勢することができる。

【0017】

(5)

【発明の実施の形態】

1 序文

以下の説明はマルチ・チップ・モジュール（MCM）環境に於ける概略を示すものであるが、前述のように、これによって本発明はいかなる限定も受けるものではない。MCM環境は、本発明がテスト性を改善し得る環境の1つに過ぎない。また、本発明を説明すれば、これは境界走査（BS）テスト環境において達成される。本発明は、特定の「テスト性のための設計」技術に関して完全に中立であるので、所与のICの制御と観測を可能にするいかなるテスト技術にも適用することができる。従って、本発明が走査レジスタに関して記述している場合、本発明を実施するために他のいかなる種類のテスト・ラッチまたはテスト・セルもその代わりに使用することができる。同様に、以下では、双方向ドライバ/レシーバ（BIDI）の性質を有する特定の種類のI/Oセルを中心に説明を行っているが、本発明は他のいかなる種類のI/Oセルのテストにも使用することができる。BIDIは、I/Oセルの1つの可能性のある例として取り上げているに過ぎない。以下に於いてBIDIとI/Oセルという用語は同じ意味を持つものとして使用している。

【0018】以下で説明しようとしている本発明は、多数の入出力（I/O）信号を有するチップをテストする方法である。このような種類のチップは、例えば、マルチ・チップ・モジュール（MCM）で使用するために極めて重要であるULSIチップである。MCMを組み立てる前に、各チップは、そのディジタル及びパラメトリック（アナログ）挙動に関して完全なテストを受けなければならない。更に、各チップは、チップの高い品質を保証するため、熱サイクル（バーン・イン）テストのような種々のストレス・テストを受けなければならない。全てのストレス・サイクル及びテスト手順を経た後でのみ、これらのチップの高品質が保証され、これらのチップのMCMへのアセンブリの準備が整う。

【0019】集積技術の進歩によって、将来のチップ（特に、MCMに使用するように設計したチップ）はシングル・チップ・モジュール（SCM）に使用するように設計した従来のチップよりも遥かに多くのI/O信号を示す。例えば、MCMの用途に設計したチップは、MCM内でまたは外部チップと通信を行うためのより幅の広いデータ・パスを達成するために、大きなI/O信号カウンットの利点を使用する。これらのMCMの設計の他の重要な利点は、配線長がより短いことである。これらのアプローチの結果、適度の数のI/O信号カウンットを有するSCMの設計と比較して極めて大きな性能の改善が行われる。

【0020】MCMに組み込む前に、全てのチップは同一の高い品質レベルを示さなければならない。MCM内に於けるチップの取替回数は厳しく制限されているの

で、各チップはMCMの集合体内でテストすることができない。更に、例えば、MCM内では全てのI/O信号線にアクセスすることは不可能であり、またウェハー上では、例えば、ACテストは、I/Oカウンットの数が多いため、実行することができないので、上で説明した完全な一連のテストはMCM環境内では実行することができない。従って、SCM環境内で各チップのテストを行わざるを得ない。ULSIチップではI/O信号の数が多いため、完全なテストを適用するために安価で標準のSCM技術は使用することができない。本発明が存在しなければ、多数のI/O信号を有するSCMをテストする必要性から、SCMの技術を大型で高価且つ極めて特殊なSCMに迄向上させる要求が発生する。

【0021】2 新しいテスト方法

以下の説明では、我々はI/Oセルのテスト手順のみに特化する。これは、完全なI/Oセルのテストは他のテスト方法によってサポートされていないからである。言うまでもなく、本発明の方法は、チップの内部システム・ロジックをテストするためにも使用することのできるものである。

【0022】テスト性設計のアプローチの一例として、図1はIC100上の状態を概略的に示す。IEEE規格1149.1に従う全てのICは、全ての相互接続と内部システム・ロジック101をテストするためのテスト・ラッチとして境界走査レジスタ（BSセル）102乃至107を含まなければならない。可制御及び可観測性の目的のため、走査経路110に沿ってデータを直列にクロックすることによってテスト・パターンをテスト・ラッチ102乃至107に書き込みまたはこれから読み出すことができる。これらのテスト・ラッチは、種々の種類のI/Oセルと内部システム・ロジックの間に位置しなければならない。即ち、テスト・ラッチは、■各システム入力セル（クロックまたはデータ）111とオンチップ・システム・ロジック101への対応する入力との間、■オンチップ・システム・ロジック101からの各出力と対応するシステム出力セル112との間、■オンチップ・システム・ロジック101からの各出力と対応する3状態システム出力セル113または双方向制御I/Oセル114との間、に位置しなければならない。

【0023】上述のように、本発明は、任意の型のテスト・ラッチ102乃至107を用いて、内部システム・ロジック101及び多数のI/Oセル111乃至114をテストする方法を取り扱うものである。テスト・ラッチによる内部システム・ロジック101のテストは技術上周知であるので、ここではI/Oセルのテストに焦点を絞る。勿論、ここで提案しているテスト方法は、内部システム・ロジックもまたテストすることができる。更に、最も複雑な場合を取り扱うため、以下の議論では3状態双方向I/Oセルを取り扱う。そのようなI/Oセ

(6)

ルをテストする能力は、全ての他の種類の I/Oセルをテストする能力もまた包含するものである。

【0024】以下の議論の基礎になる双方向ドライバ/レシーバ I/Oセル (BIDI) の全体像を、図2にモデルとして示す。図2は、BIDI200とその種々の信号線を示している。ブロック200の右側には、共通入出力線201を示し、これによってICを外部回路と接続する。左側には、内部システム・ロジック101との間の配線を示す。それには、ICの外部からの受信データ用の経路202、ICの内部からのデータ・イン用の経路203、及びBIDIの実行モードを制御するICの内部からの高インピーダンス (HZ) 制御用の経路204が含まれる。

【0025】前述のように、ドライバ及びレシーバを含む各BIDIは、完全なストレス・テスト (パシーン等) に続いて、そのAC特性、DC特性及びパラメータ特性並びに前述の様々な欠陥に対するテストを受けなければならない。この目的のため、図3は、BIDIの構成回路をその対応するテスト・ラッチと共に詳細に示す。図3は、図2に従って、同一の信号線を示している。左側には、既に言及した線202乃至204を示す。右側には、共通入出力線201を示す。BIDIのテスト目的のため、線201をテスト環境に接続する。実際のBIDIセルはブロック300によって示し、これにはI/Oセルのドライバ301及びレシーバ302を含む。更に、図3は、このBIDIの可観測性及び可制御性に関するテスト目的のため、テスト・ラッチ303乃至305を有している。これらのテスト・ラッチは、内部システム・ロジックに接続された線202乃至204上の信号を用いたBIDIのテストをサポートしている。境界走査レジスタ (BSセル) として実施するのが好ましいテスト・ラッチ303乃至305は、BIDIのドライバ301及びレシーバ302をテストする機能を果たす。テスト・ラッチには外部から任意のテスト・パターンを供給することができ、また逆に、ICまたはその構成要素のテスト動作の結果としてテスト・ラッチに格納された任意のテスト・パターンを外部に供給することができる。例えば、テスト・ラッチ303を使用してあるICの内部システム・ロジックからの信号をBIDI300に供給することができる。テスト・ラッチ305によって、BIDI300が外部から集めた信号の結果を受け取ることが可能になる。最後に、テスト・ラッチ304は、ドライバ301をHZモードに設定することによってBIDI300をレシーバ・セルとして動作させるテスト・パターンを格納することができる。

【0026】I/Oセルを含むICの実際のテスト方法では、I/Oセル及びそれらの対応するI/O接続部の数が、標準チップ・モジュール (例えば、SCM) 及びテスト環境がサポートしている接続部の数を超える状況

を取り扱うことができる。本発明のテスト方法を概観すると、これを下記のような主要なステップに要約することができ、これらのステップの各々は、以下の各節で詳述する。

(1) ICの信号線を複数のサブグループにグループ化し、各サブグループをICの1、2、またはそれ以上のI/O信号線によって構成する。

(2) 各サブグループ内の各I/Oセルをドットイングによってチップ・モジュール (例えば、SCM) の1本のI/O信号線と接続する。

(3) 以下のサブステップを実行することによってICを分析する。

(3-1) 1、2、またはそれ以上のI/Oセルのラッチ303乃至305にテスト・パターンを格納する。

(3-2) 1、2、またはそれ以上のI/Oセルの線201に外部信号を潜在的に供給する。

(3-3) 各サブグループ内でテスト結果が干渉しないI/Oセルのサブセットのみをテスト目的のためにイネーブルするように、1、2、またはそれ以上のI/Oセルのドライバ/レシーバ構成要素を付勢し、残りのI/Oセルを消勢する。

(3-4) 分析のため、I/Oセルのテスト・サイクルの後にテスト・ラッチ303乃至305に受取ったデータを外部に転送する。

(3-5) テスト・サイクルの後にI/Oセルによって出力線201に発生された信号をテスト環境での分析のために受取る。

(4) 全ての関心のあるテスト・パターン並びに全ての関心のあるサブグループ及びそれらの構成要素であるI/Oセルに対して分析ステップ(3)を反復する。

【0027】2. 1 I/O信号線のサブグループへのグループ化

もしテストすべき多数 (N本) のI/O信号線を有するICチップが標準のチップ・モジュール (例えば、標準のSCM) に埋め込まれ、このモジュールはM本 (< N) の信号線のテストしかサポートしていないと仮定すれば、本発明はこのチップのN本のI/O信号線をサブグループに分割することを提案する。これらのサブグループの各々は、チップ・モジュールのM本のI/O信号線の個別の接続部とつながっている。従って、このチップ・モジュールについて、各サブグループは1個のI/O信号線として取り扱われるので、このアプローチによりICは実際よりもかなり少ない数のI/Oセルを有するものとみなすことができる。勿論、設定したサブグループの数はチップ・モジュールのサポートしている信号線の数Mを超えることはない。本発明では、サブグループに結合すべきI/Oセルの数には制限を設けていない。しかし、テストによっては、サブグループが1、2またはこれ以外の整数の数のI/Oセルに限定される場合もある。サブグループの電気力学的挙動の結果とし

(7)

て、一定の実際的な制限が、サブグループ当たりのI/Oセルの数に加えられる場合もある。例えば、1つのサブグループ内の構成要素の数が増加するのに従って、そのサブグループの総容量が増加し、それがテスト上の理由からそれ以上許容することのできない限度に到達する場合がある。以下の説明から明らかなように、1つのサブグループ内の構成要素の数をできるだけ小さくすることによってテスト時間が短くなるため、この数を減らすことに関心が向けられている。この教示によれば、各サブグループは、チップの1つのI/Oセルを表しているため、チップ・モジュールとテスト環境のテスト・ヘッドに対して動作される。従って、各サブグループ内のI/O信号線の無制御の干渉を防止する構成を設ける必要がある。これらの構成は、以下で論じる「ICとそのI/Oセルの分析」というステップの課題である。

【0028】2. 2各 サブグループ内に於けるI/Oセルのドットイング

上記の説明によれば、テストすべき1個のチップは、テスト目的のためチップ・モジュール（例えば、単一チップ・モジュール（SCM））に集積される。この手順の間、個々のサブグループを形成するように結合されているこれらのI/Oセルの信号線を共に接続し、最後に各サブグループはそのチップ・モジュール（即ちSCM）の1本のピンを介して制御し観測することができる。現実的なI/Oドットは、2〜4個のI/Oセルの範囲である。その結果、標準数のI/Oピンを包含する標準サイズを有する標準的な技術を使用した本発明による特別のカスタム化されたチップ・モジュールは、最新技術によるチップ・モジュールが可能である場合と比較して、2〜4個よりも多いI/O信号をテスト目的のためにサポートすることができる。

【0029】このドットイング工程は、図4の例で明らかになる。「L」個のBIDI401乃至403を結合して上述したサブグループの1つを形成する。このグループ化は、共通I/O線405乃至407をドットイングして（破線409で示す）、サブグループ用の1本の共通I/O線408を形成することによって実現する。

【0030】従って、この説明に関し、数N、M及びLは、下記の意味を有している。

N ICのI/O信号線の合計数

M チップ・モジュールのI/O信号線の合計数（ $M \leq N$ ）=異なったサブグループの最大数

L 1つのサブグループ内のICのI/O信号線の数=異なった

DI信号線の数（「I/Oセルの付勢/消勢のための他のアプローチ」の章を参照のこと）

このドットイング工程を好適に実施した場合の特徴を図6により具体的に示すが、これはIC607の上述したサブグループの信号線をどのようにしてモジュール604の個々のI/Oピンと接続するかを示している。

【0031】図6はモジュール604を示し、このモジュールはこの出願で開示した新しいテスト方法を実行するためのテスト装置として使用することができる。上部側605、即ちモジュール604の内部チップ・モジュール面上に於いて、信号線601、602、603、614を有する集積回路607をモジュール604に取り付ける。信号線601、602、603、614は、モジュール604上の電氣的I/O線である線611、612、613、610に接続する。図6のケースa)の場合、線611、612、613は「フォーク状」の構造でドットイングされ、I/O信号線601、602、603はそれぞれ1個のサブグループを形成している。ケースb)のドットイング構造では、IC607のI/Oセル1本のI/O信号線614はモジュール604の1本の信号線610と接続されているが、「フォーク領域」620はICと別の接触を行うこともできる。

【0032】勿論、フォーク領域のレイアウトには、非常に多くの変形例が可能である。電気力学的理由のため、フォーク領域を表面605に近接させるのが有利であるが、そうすれば、例えば、信号の反射量が削減される。更に、外部チップ・モジュール面606上で共通の外部線を共有するため、IC607の何本の線をドットイングしてもよい。本発明のテスト方法のために、モジュール604上の1つのフォーク領域の全ての線をICの1つのI/Oセルの信号線とドットイング、即ち接続する必要はない。図6のケースa)の場合、線611、612、613の内の2本のみがテストすべき集積回路の信号線に接続されてもよい。その場合、3番目の線は使用されない。この事実は、テスト手順に何らの否定的なインパクトを及ぼすものではない。モジュールのどの線をICの対応する線とドットイングするかは、集積回路のピンの配置（フットプリント）によって決まる。この背景に基づいて、611、612、613、609、610、615のような過剰な数の可能な接続線を提供するフォーク領域を有するモジュールを設けることが可能になり、それにより1種類のICだけでなく複数のICの完全なファミリーをサポートすることができる。このようなモジュール604は、多数の異なったICを保持することのできる柔軟で普遍的なフットプリントを有する一般化されたモジュールとして使用するのに適したものとなる。

【0033】2. 3 ICとそのI/Oセルの分析

上の説明によれば、テストすべきICのI/Oセルの各サブグループは、チップを保持するチップ・モジュール（即ちSCM）の外部に関して、1つのI/O接続としてモデル化されている。従って、明確なテスト結果を得るためには、本発明のテスト方法は、個々のテスト目標に応じて、個々のサブグループのI/Oセルのテストに関連するサブセットを付勢し、残りのI/Oセルを消勢する制御ステップを必要とする。前に我々は、この説明

(8)

(発明ではない) は IC の I/O セルに関連するテストに限定することを強調した。我々の以前の立場を反復すれば、我々は、このテスト方法自身は IC の内部システム・ロジックのテストにも使用することができることを指摘する。I/O セルのテストに関しては、2 つのテスト様式を識別しなければならない。

◆ I/O セルの出力挙動に関する出力テスト・モード

◆ I/O セルの入力挙動に関する入力テスト・モード

勿論、I/O セルは、それがチップ内で動作している全てのモードでテストしなければならない。

【0034】テスト方法に関する説明は、1 個のサブグループのみに絞って行う。IC の I/O セルの他の全てのサブグループも同様な手順でテストしなければならない。この点で 2 つの代替的なアプローチが可能である。即ち、全てのサブグループを並列にテストして分析するか、またはこれらを、より長いテスト時間を必要とするが、直列にテストするかである。また、このテスト方法によって、幾つかの I/O セルを入力テスト・モードでテストし、一方他を出力テスト・モードでテストすることができる。

【0035】2. 3. 1 出力テスト

I/O セルのサブグループの出力テスト・モードの説明から始めると、最初のテスト・ステップで特定のテスト・パターンをテスト・ラッチに格納することが必要である。そのステップの目的は、多岐にわたっている。1 つの理由は、BIDI に入力する一定の制御した信号パターンを発生することである。他の理由は、テスト・ラッチを制御した既知の状態にリセットし、後で I/O セルが受け取ってテスト・ラッチに格納したデータ 411、421、431 を正確に判定することを可能にすることである。もしテスト・ラッチを本発明の好適な実施例のケースのように BS アーキテクチャに基づく走査設計アーキテクチャに従って実施すれば、テスト・パターンは、110 のような走査経路に沿ってテスト・パターンを直列にテスト・ラッチにシフトすることによって容易にシフト・テスト・ラッチに格納することができる。図 4 に関して、これは、特定の信号テスト・パターンを「データ・イン」線 410、420、430、「受信データ」線 411、421、431 及び「HZ 制御」線 412、422、432 に於いて入手することができることを意味している。

【0036】この出力テスト・モードでは、人々は同一のサブグループの種々の I/O セルの応答 405 乃至 407 の干渉を回避することに関心を抱くが、これはこれらの信号がテスト環境のレベルでは単一の共通信号 408 であると解釈されているからである。従って、可制御性及び可観測性の理由から、テスト方法は、確実にサブグループの I/O セルの正確に定義されたサブセットのみが付勢され、且つその特定のサブグループの残りの I/O セルが消勢されるようにしなければならない。この

ような状況においてのみ、いずれの I/O セルがテスト環境で検出された信号 408 に対して責任を負っているかを推定することができる。標準的な状況では、このことは、1 つの I/O セルのみが付勢され、従ってテストの結果得られた出力信号 408 がこの特定の I/O セルのものであると識別できることを意味する。一方、1 つだけでなく複数の I/O セルのサブセットを付勢することのできるテストの状況も可能である。

【0037】出力テスト・モードでは、付勢は BIDI のドライバ 301 をイネーブルすることを意味し、一方消勢はドライバ 301 をディスエーブルし従ってレシーバ 302 のレベルで動作することを意味する。このテスト方法の次のステップであるサブグループの I/O セルの付勢/消勢は、個々の I/O セルの「HZ 制御」信号を使用することによって容易に達成することができる。「HZ 制御」信号 412、422、432 を単純にイネーブルまたはディスエーブルすることによって、BIDI 401、402、403 を付勢し（ドライブ・モードで動作する）または消勢（レシーバ・モードで動作する）することができる。I/O セルの付勢/消勢に「HZ 制御」入力信号を使用すると、興味のある効果が達成される。このアプローチによって、テスト・ラッチに既に格納したテスト・パターンによって付勢/消勢の状態を制御することが可能になる。このアプローチによって最も粗いレベル（個々の I/O セルに基づく）での付勢/消勢制御が可能になることは注目すべきことである。出力テスト・モードに於けるテスト方法を更に拡張すると、消勢した I/O セルがレシーバとして動作するという事実を使用して付勢した I/O セルの発生した出力信号 408 を消勢した I/O セルの入力として使用することができ、従って消勢した I/O セルのレシーバ 302 のテストを付勢した I/O セルのドライバ 301 と共に行うことができる。

【0038】I/O セルの必要な処理動作の後、動作結果をテスト方法の次のステップで分析する。このテスト方法の出力テスト・モードの間、サブグループが発生したテスト環境のテスト・ヘッドが受け取った出力信号 408 は、欠陥の無い I/O セルの予期される結果と比較しなければならない。サブグループのテスト・サイクルの後、テスト・ラッチ内に格納した結果テスト・パターンは、オプションとして IC の外部に転送しなければならない。例えば、消勢した I/O セルを上で概説したようにそれらのレシーバ 302 に関してテストする状態では、この結果テスト・パターン分析は重要である。前述のように、もしテスト・ラッチを BS アーキテクチャに基づく本発明の好適な実施例の場合と同様に走査設計アーキテクチャに従って実施するなら、結果テスト・パターンは、110 のような走査経路に沿ってテスト・ラッチから直列にシフトすることによって容易にチップ及び SCM の外部に転送することができる。このテスト方法

(9)

の次のステップでは付勢した同じI/Oセルを他の可能なテスト・パターンでテストすることができる。同様に、テスト方法の次のステップでは、全ての先行するテストのステップを、サブグループ内の付勢/消勢パターンを変更することによってテストを必要とする他の全てのI/Oセルに対して反復することができる。

【0039】2. 3. 2 入力テスト

I/Oセルのサブグループの入力テスト・モードの説明に進んで、最初のテスト・ステップで特定のテスト・パターンをテスト・ラッチに格納することが必要である。このステップの目的は、多岐にわたっている。1つの理由は、一定の制御した信号パターンを発生することであり、これはBIDIに入力する。他の理由は、テスト・ラッチを制御した既知の状態にリセットすることであり、これによって、後でI/Oセルが受け取ってテスト・ラッチに格納したデータ411、421、431を正確に判定することができる。もしテスト・ラッチをBSアーキテクチャに基づく本発明の好適な実施例の場合と同様に走査設計アーキテクチャに従って実施するなら、テスト・パターンは、110のような走査経路に沿ってテスト・ラッチ内に直列にシフトすることによって容易にシフト・テスト・ラッチ内に格納することができる。図4に関して、これは、特定の信号テスト・パターンを「データ・イン」線410、420、430、「受信データ」線411、421、431及び「HZ制御」線412、422、432に於いて入手することができることを意味している。このテスト・ステップは、出力テスト・モードの類似のステップに対応している。

【0040】外部入力信号はサブグループのI/Oセルによって処理しなければならないので、このような信号は、テスト方法の次のステップに於いて信号線408に沿ってテスト・ヘッドを介してテスト環境から供給しなければならない。この入力テスト・モードでは、全てのI/Oセルが同一の外部入力信号408を受け取ることで、種々のI/Oセルの応答が干渉する可能性があるという危険は存在しない。従って、このテスト方法の可制御性及び可観測性の理由のため、少なくとも標準的なケースでは、サブグループ内の全てのI/Oセルを付勢すれば十分である。入力テスト・モードでは、付勢はBIDIのドライバ301をディスエーブルし、従ってレシーバ302のレベルで動作させるという意味を有している。一方、I/Oセルのサブセットのみを付勢し、残りを消勢するというテスト状況が可能である。テスト方法の次のステップであるサブグループのI/Oセルの付勢/消勢は、個々のI/Oセルの「HZ制御」信号を使用することによって容易に達成することができる。単に

「HZ制御」信号412、422、432を使用することによって、BIDI401、402、403を付勢することができる（レシーバ・モードでの動作）。I/Oセルの付勢/消勢に「HZ制御」入力信号を使用する

と、興味のある効果が達成される。このアプローチによって、テスト・ラッチに既に格納したテスト・パターンによって付勢/消勢の状態を制御することが可能になる。このアプローチによって最も粗いレベル（個々のI/Oセルに基づく）での付勢/消勢制御が可能になることは注目すべきことである。I/Oセルの必要な処理動作の後、動作結果をテスト方法の次のステップで分析する。サブグループのテスト・サイクルの後にテスト・ラッチ内に格納した結果テスト・パターンは、ICの外部に転送して予期される結果パターンと比較しなければならない。前述のように、もしテスト・ラッチをBSアーキテクチャに基づく本発明の好適な実施例の場合と同様に走査設計アーキテクチャに従って実施するなら、結果テスト・パターンは、110のような走査経路に沿ってテスト・ラッチから直列にシフトすることによって容易にチップ及びSCMの外部に転送することができる。テスト方法の次のステップでは、付勢した同じI/Oセルを、他の可能な外部信号パターン408でテストすることができる。同様に、テスト方法の次のステップでは全ての先行するテストのステップを、サブグループ内の付勢/消勢パターンを変更することによってテストを必要とする他の全てのI/Oセルに対して反復することができる。

【0041】2. 4 I/Oセルの付勢/消勢に対する他のアプローチ

通常、BIDIは、別の入力信号、いわゆる「ドライバ禁止(DI)」信号線を提供する。DI信号によって、BIDIのドライバ301をブロックする、即ち、消勢することができる。従って、このDI信号を使用することによって、BIDIをドライバ動作モード及びレシーバ動作モードの間で切り替えることができる。本発明は、このテスト方法に於けるI/Oセルの付勢/消勢ステップのためにBIDIのDIのコンセプトを使用することを提案している。

【0042】I/Oセルの最大のサブグループは「L個」の構成要素（標準のケースでは、全てのサブグループは同数のI/Oセルの構成要素を含んでいるが、これは本発明の要求するものではない）を包含していると仮定すれば、DI信号を使用してBIDIの付勢/消勢制御を、■必要なDI信号を転送するn本の制御信号線を追加することによって、■これらの各制御信号線が各サブグループの多くても1個のI/OセルのDI入力に接続され、I/Oセルのいずれも「L」本の制御信号線の内の2本以上と接続されないように、これらの制御信号線を接続することによって、行うことができる。「L」本の制御信号線に基づいて全てのサブグループ内の全てのI/Oセルの付勢/消勢状態を制御することがこの接続によって、可能になる。

【0043】前の章で提案したBIDIの「HZ制御」入力信号の使用に基づく付勢/消勢制御機構と比較し

50

(10)

て、この新しいアプローチでは更に相違点が生じる。この新しいDIによるアプローチでは、I/Oセルの付勢/消勢ステップをテスト・ラッチにテスト・パターンをロードすることから独立して実行することができ、またこれはテスト・ラッチの内容によって影響されない。更に、別の制御信号線がテスト環境から外部にアクセス可能であることが要求される。最後に、このDIによるアプローチはHZによるアプローチ程粗くないが、その理由は、一般的に、各制御信号線が幾つかのI/Oセル（各サブグループに於いて多くても1個のI/Oセル）の付勢/消勢状態を同時に制御するからである。

【0044】図5は、DIによるアプローチの1例を示す。I/OセルのM個のサブグループ501乃至502を、DI信号を設定して制御するものと仮定する。各サブグループ内で、図5の例は「L」個のI/Oセル511乃至513と521乃至523を示す。上の説明によれば、「L」本の新しい外部にアクセス可能な制御信号線531乃至533が導入されている。各制御信号線は全てのサブグループの正確に1個のI/OセルのDI入力に接続され、これによっていずれのI/Oセルも正確に2本以上の制御信号と接続されないことを保証している。第1制御信号線531は、サブグループ502のI/Oセル521からサブグループ501のI/Oセル511迄のDI入力と接続する。第2制御信号線532は、サブグループ502のI/Oセル522からサブグループ501のI/Oセル512迄のDI入力と接続する。最後に、n番目の制御信号線533は、サブグループ502のI/Oセル523からサブグループ501のI/Oセル513迄のDI入力と接続する。明らかに、この構成では、各サブグループ501乃至502に於いて「L」個の制御信号531乃至533の各々によって正確に1個のI/Oセルを同時に制御することができる。各サブグループでは、全ての可能なI/Oセルの付勢/消勢パターンは、調整することができる。

頭字語

BIDI	双方向ドライバ/レシーバのI/Oセル
BS	境界走査
DI	ドライバ禁止
HZ	高インピーダンス
IC	集積回路
I/O	入出力
MCM	多重チップ・モジュール
SCM	単一チップ・モジュール
SR	走査レジスタ
SRL	シフト・レジスタ・ラッチ

【0045】まとめとして、本発明の構成に関して以下の事項を開示する。

(1) テストすべきM本の信号線をサポートするチップ・モジュールに埋め込んだN本のI/O信号線を有する少なくとも1つの集積回路をテストするテスト方法であ

って、上記集積回路は、テスト・ラッチと、上記テスト・ラッチを介して上記集積回路の内部構造とつながっているN個のI/Oセルとを有し、上記テスト方法は、上記N本のI/O信号線をM個までのサブグループにグループ化するステップと、上記サブグループの各々を上記チップ・モジュールのI/O信号線の1つと接続するステップと、上記集積回路を分析するステップとを有し、上記分析するステップは、テスト・パターンを上記テスト・ラッチに格納するか、またはテスト信号を1本以上のI/O信号線に供給する格納サブステップと、上記サブグループの各々の中でI/Oセルの1つのサブセットを付勢し、残りのI/Oセルを消勢する付勢-消勢サブステップと、付勢したI/Oセルを介して上記テスト・パターンを伝達した後、上記チップ・モジュールの上記I/O信号線に受け取った信号を予期した信号と比較するか、または上記テスト・ラッチ内の結果のテスト・パターンを予期した結果テスト・パターンと比較する比較サブステップ、とを含むことを特徴とするテスト方法。

(2) 上記I/Oセルの全てをカバーするように変更可能なテスト・パターンによって上記分析するステップを反復することを特徴とする上記(1)記載のテスト方法。

(3) 上記付勢-消勢サブステップは、出力挙動を分析すべきサブグループの各々の中で1つのI/Oセルだけを付勢し、残りのI/Oセルを消勢することを特徴とする上記(1)または(2)記載のテスト方法。

(4) 上記付勢-消勢サブステップは、入力挙動を分析すべきサブグループの各々の中で上記I/Oセルの任意のサブセットを付勢し、残りのI/Oセルを消勢することを特徴とする上記(1)、(2)または(3)記載のテスト方法。

(5) 上記I/Oセルの付勢及び消勢が上記テスト・ラッチによって制御されることを特徴とする上記(1)乃至(4)のいずれかに記載のテスト方法。

(6) 上記I/Oセルの少なくとも1つはその付勢-消勢を高インピーダンス信号によって制御することのできる双方向I/Oセルであることを特徴とする上記(1)乃至(5)のいずれかに記載のテスト方法。

(7) 上記I/Oセルの少なくとも1つはその付勢-消勢をドライバ禁止信号によって制御することのできる双方向I/Oセルであり、上記サブグループの各々において上記ドライバ禁止信号によって制御可能なI/Oセルは多くても1つであることを特徴とする上記(1)乃至(5)のいずれかに記載のテスト方法。

(8) N本の集積回路I/O信号線を有する少なくとも1つの集積回路(607)を保持するチップ・モジュール(604)であって、上記集積回路を当該チップ・モジュールに接続するのに使用するP本(PはN以上)のチップ・モジュール内部I/O信号線を有し内部チップ

50

(11)

・モジュール面(605)と、当該チップ・モジュール及び上記集積回路を外部環境に接続するのに使用するM本のチップ・モジュール外部I/O信号線を有する外部チップ・モジュール面(606)と、上記外部チップ・モジュール面及び上記内部チップ・モジュール面の間に設けた接続であって、上記M本のチップ・モジュール外部I/O信号線の各々を上記P本のチップ・モジュール内部I/O信号線の内の1本または複数本に接続する配線と、上記N本のI/O信号線と上記P本のチップ・モジュール内部I/O信号線のサブセット間の接続部であって、上記N本のI/O信号線をサブグループにグループ化し、上記サブグループの各々は同一のチップ・モジュール外部I/O信号線と接続された集積回路I/O信号線によって構成する接続部と、を有することを特徴とするチップ・モジュール(604)。

(9) 上記内部チップ・モジュール面(605)上に上記P本のチップ・モジュール内部I/O信号線を配設することによって、多数の異なった種類の集積回路に対する接続をサポートすることを特徴とする上記(8)記載のチップ・モジュール。

【図面の簡単な説明】

【図1】図1は、境界走査アーキテクチャによるI/Oセル、テスト・セル及び内部システム・ロジックの概略組織を示す図である。

【図2】図2は、IC上の双方向ドライバ/レシーバのI/Oセル(BIDI)の全体構造を示す図である。

【図3】図3は、BIDIをこのBIDIの対応するテスト・ラッチと結合したサブ回路のより詳細を示す。

【図4】図4は、BIDIのサブグループを構築するプロセスを模式的に示す図であり、ここでこれらのサブグループはドット化し、これらの付勢/消勢状態はHC制御信号によって制御する。

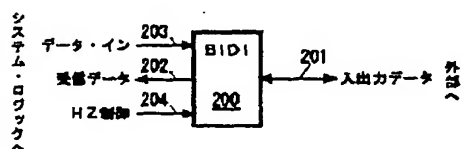
【図5】図5は、BIDIのサブグループを構築するプロセスを模式的に示す図であり、ここでこれらのサブグループはドット化し、これらの付勢/消勢状態は別個の駆動禁止(DI)信号によって制御する。

【図6】図6は、好適な実施例に従ってチップ・モジュールに埋め込んだICを模式的に示す。

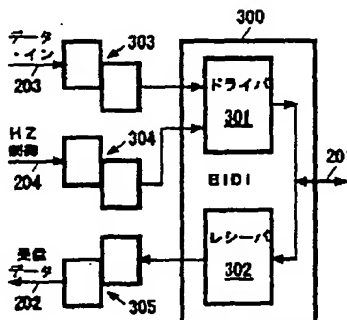
【符号の説明】

100	IC
101	内部システム・ロジック
102-107	境界走査レジスタ(BSセル)
112	システム出力セル
113	3状態システム出力セル
114	双方向制御I/Oセル
200	BIDI
201	共通I/O線
204	高インピーダンス(HZ)制御
301	ドライバ
302	レシーバ
303-305	テスト・ラッチ
401-403	BIDI
410、420、430	データ・イン線
411、421、431	受信データ線
412、422、432	HZ制御線

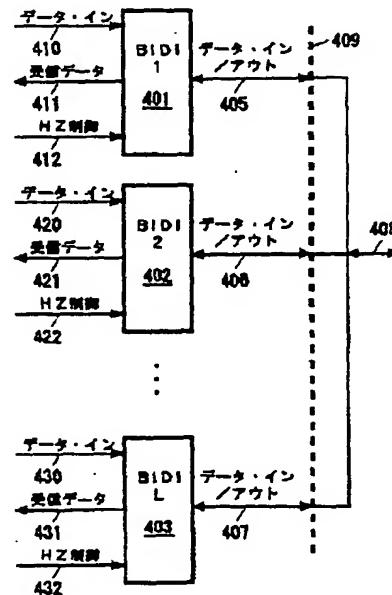
【図2】



【図3】

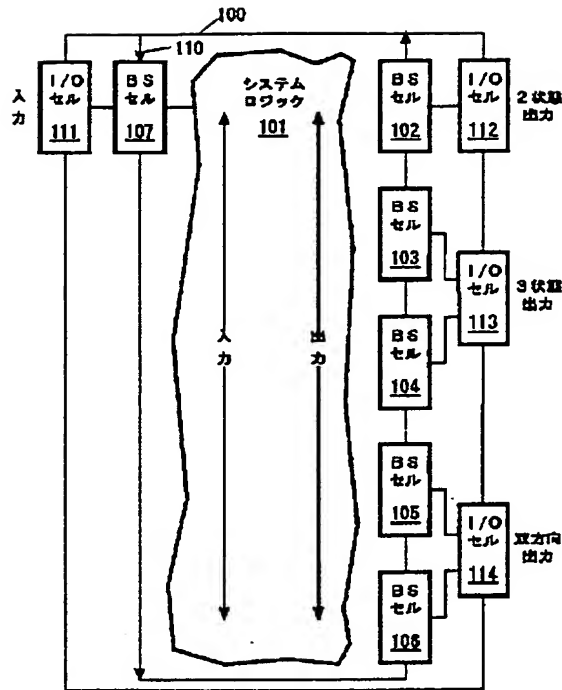


【図4】

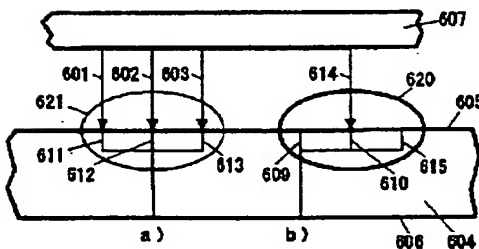


(12)

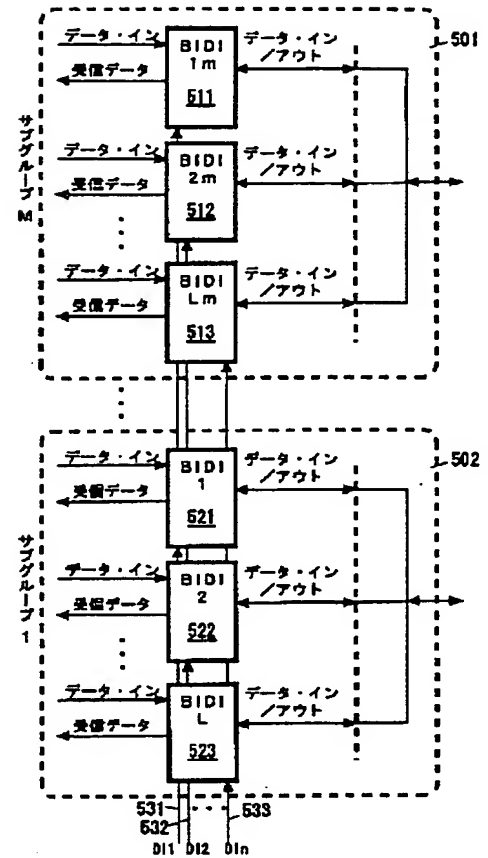
【図1】



【図6】



【図5】



フロントページの続き

(72)発明者 ベルント・ガルベン

ドイツ連邦共和国 デー71101 シェー

ナイヒ ドナウシヴァーベンシュトラッセ 40

13

(72)発明者 ドクトール・フベルト・ハルラー

ドイツ連邦共和国 デー71101 シェー

ナイヒ リルケヴェーク 18

(72)発明者 エリッヒ・クリンク

ドイツ連邦共和国 デー71101 シェー

ナイヒ レッシングシュトラッセ 16

(72)発明者 ディーター・ヴェンデル

ドイツ連邦共和国 デー71101 シェー

ナイヒ フ라우・ヘルダーリンヴェーク

21